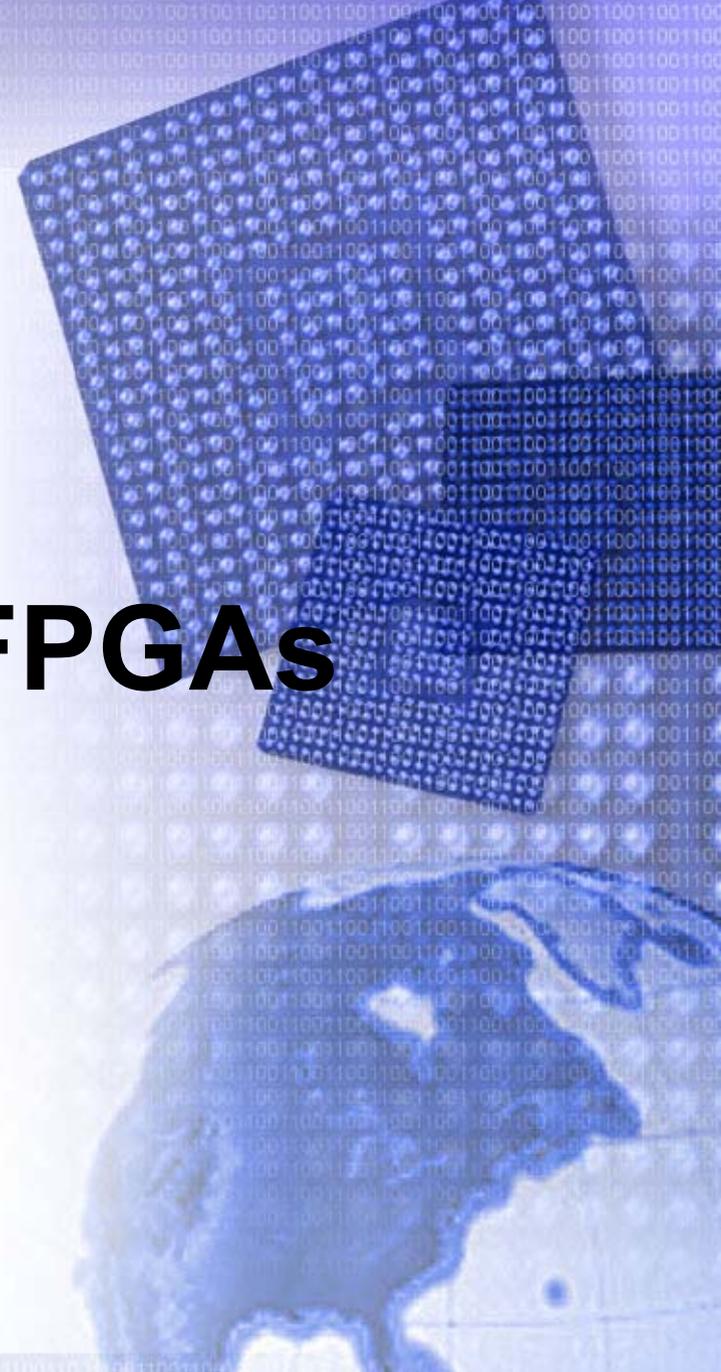


Introducción.

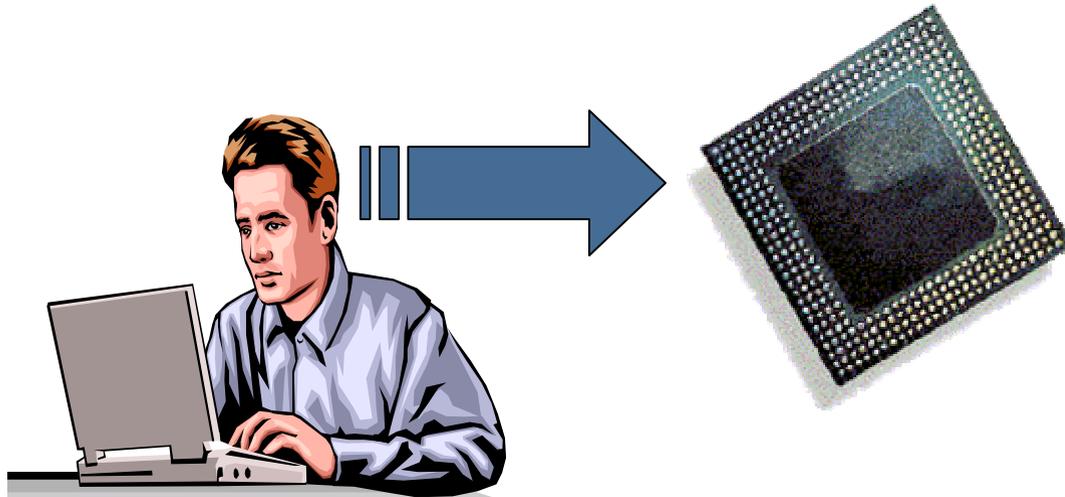
Diseño lógico con FPGAs

Flujo de diseño.



Flujo de diseño

- Un flujo de diseño es una secuencia de pasos que usas para convertir una idea en realidad.
- El flujo de diseño básico no cambia.



Flujo de diseño

- **La Idea o especificación:** Tu quieres implementar tu idea o alguna idea de alguien
- **Diseño del Circuito:** desde esta idea, Tu diseñas una representación de ella.
 - Esquema.
 - HDL.
 - Otros métodos.

Flujo de diseño

- Una vez que se tenga una representación del diseño, tu debes verificar que el diseño es correcto.
- La clave esta en alguna forma de verificación.
 - Simulación con vectores de test.
 - Verificación formal.
- **Cuando es bastante?**

Flujo de diseño

- Depende de lo que quieras realizar...
 - Chequeo puntual.
 - Dormir tranquilo por la noche.
 - Cubrir todos los casos.
- Depende de lo que este en peligro...
 - Tu titulo.
 - Tu trabajo.
 - Tu vida.....

Flujo de diseño

- **Implementación:** Desde la representación del diseño, vete a construirlo.
- Este paso puede ser muy simple a muy complicada, dependiendo del tipo de implementación que estés construyendo.
- En los cursos introductorios de diseño digital tu simplemente colocas lógica SSI en un protoboard y las cableas.

Flujo de diseño

- **Test:** Una vez que tengas una implementación te gustaría encenderlo y chequearlo,
 - Salio humo cuando lo encendiste?
 - Trabaja como esperabas?
- Si la cosa no sale como esperabas, Debes ir encontrando en que paso anterior la cosa fallo.
 - Hacer esto puede ser muy caro.
 - La verificación es la clave para ahorrar tiempo y dinero.

Flujo de diseño

- Ejemplo 1 (clásico).
 - Comenzar con las especificaciones del lab.
 - Dibujar Esquema, quizás simulado.
 - Construye el diseño, testealo, probablemente o funcione, juega con el, comprueba los cables, todavía no funciona.
 - Regresa comprueba el diseño, sustituye o comprueba algún componente, quizás simulado.
 - Cablea de nuevo, comprueba, con optimismo funciona.

Flujo de diseño

- Ejemplo 2.
 - Comenzar con las especificaciones del lab.
 - Describe el diseño y el test bench en VHDL.
 - Simula el diseño, corrige los errores.
 - Sintetiza el diseño mediante herramienta de síntesis.
 - Implementa el diseño sintetizado usando las herramientas de Xilinx para implementación física.
 - Simula con la información temporal anotada.
 - Download el diseño al hardware y compruébalo

Verificación

- La verificación esta siendo increíblemente importante cuando se hace un diseño lógico.
- Hace tiempo, cuando los diseños eran pequeños, podría haber sido mas facil chequear los circuitos en el hardware
- Hoy en día, los diseños son muy grandes y complejos, retrasar la verificación hasta que tengamos el primer prototipo es una propuesta muy cara y arriesgada.

Verificación

- La verificación es un término ampliamente usado para cubrir un número de actividades relacionada con la corrección y comprobación.
- Dependiendo de tu tecnología de implementación, podrías encontrarte con un gran número de sitios donde las cosas puedan ir mal.

Verificación

- Quieres comprobar para corregir.
- El proceso de verificación puede llegar a ser el cuello de botella en el proceso de diseño.
 - La Verificación puede llevar mucho tiempo.
 - Es común tener mas personas trabajando en el proceso de verificación que el propio diseño.
- Aun con las potentes herramientas y la gran experiencia de las personas , todavía se pierden errores.

Verificación

- Vamos a ver varios tipos de verificación con particular enfoque sobre:
 - Corrección de lógica .
 - Análisis temporal estático.
 - Verificación en el sistema.
- Otros tipos.

Corrección de la lógica

- Inmediatamente después de describir el diseño puedes simular el diseño para corregir la lógica.
 - Simuladores de esquemas.
 - Simuladores de HDL.
- El objetivo es asegurar el comportamiento del diseño como previste anteriormente antes de pasar a un paso siguiente en el flujo de diseño.

Corrección de la lógica

- Muchas herramientas con captura de esquemas incluye simuladores a nivel de puertas.
- Los simuladores a nivel de puertas son lentos.
- Muchos simuladores requieren del diseñador para crea los vectores de test.
 - Estímulos de entrada.
 - Salida esperada.

Corrección de la lógica

- Mi experiencia personal es que este tipo de simuladores son útiles para diseños pequeños solamente .
 - Pasar los vectores de test es tedioso.
 - Pasar los vectores de test es propenso a errores
 - La comprobación de la salida es limitada.

Corrección de la lógica

- Para los diseños HDL, Los HDL sirven tanto como lenguaje de diseño como lenguaje de test.
 - El diseño es creado usando un subconjunto especial del lenguaje, construcciones sintetizables, las cuales es pueden ser realizadas en hardware.
 - El entorno de comprobación es creado usando siempre la parte del lenguaje que trabaje mejo para lque la verificación sea realizada.

Corrección de la lógica

- El diseño es conectado al entorno de comprobación “test bench” y los dos son simulado.
 - La naturaleza del test bench (alto nivel) permite elaborar pruebas y comprobaciones del diseño.
 - Estos simuladores son al menos un orden de magnitud mas rápidos que los simuladores a nivel de puertas.

Corrección de la lógica

- Como determinas que probar (test)?
 - Cuanto dinero puedes gastar .
 - Cuanto tiempo puedes gastar.
 - Tu tolerancia para detectar errores.
- Manera de probar corrección de la lógica.
 - Fuerza bruta approach and state explosion.
 - Descomposición del diseño en pequeñas partes.
 - Eventos representativos y respuestas.

Análisis temporal estático

- Una vez que tengas una implementación física del diseño, o un modelo de el, puedes desear hacer un análisis temporal estático.
 - En adición a la corrección de la lógica, muchos diseño tienen requerimientos en términos de la **Fclk** mínima y relaciones temporales entre sus entradas y salidas.
- El análisis temporal estático te dice si el diseño reunirá los requerimientos exigidos.

Análisis temporal estático

- Si el diseño falla , hay una serie de pasos los cuales pueden remediar la situación.
 - Vuelve y rediseña o optimiza la lógica la cual requerirá una corrección de lógica de nuevo
 - Cambia la implementación física del diseño.
 - Cambios en la situación y el ruteado
 - Cambios en el mapeo del diseño

Análisis temporal estático

- Si el diseño está corregido lógicamente y los requerimientos son cubiertos al 100% entonces el diseño debería funcionar
- Esto es Seguro.
- Muchos flujos de diseño te permite obtener datos de retardos desde el análisis Estático y re alimentarlo a nivel de puertas lógicas.

Análisis temporal estático

- Mediante un modelo de puertas del diseño y la información de retardos, puedes simular de nuevo.
 - Esto es una prueba sensata ya que te aseguras de no tener ningún chapuceo a lo largo de todo el camino