

## CONTROL PROGRAMABLE DE LAVADORA

### 1. ESPECIFICACIONES

Sobre la FPGA Spartan-3 de la placa de desarrollo, se quiere diseñar un circuito secuencial síncrono, que sirva como controlador de una lavadora sencilla, la cual estará formada por tres ciclos de funcionamiento (lavado, aclarado y centrifugado) de la misma duración temporal. El circuito dispondrá de una señal de reloj CLK sensible a flanco de subida, una señal de reset RST asíncrona y activa a nivel alto e incluirá dos bloques jerárquicos, tal como se puede apreciar en la figura 1.

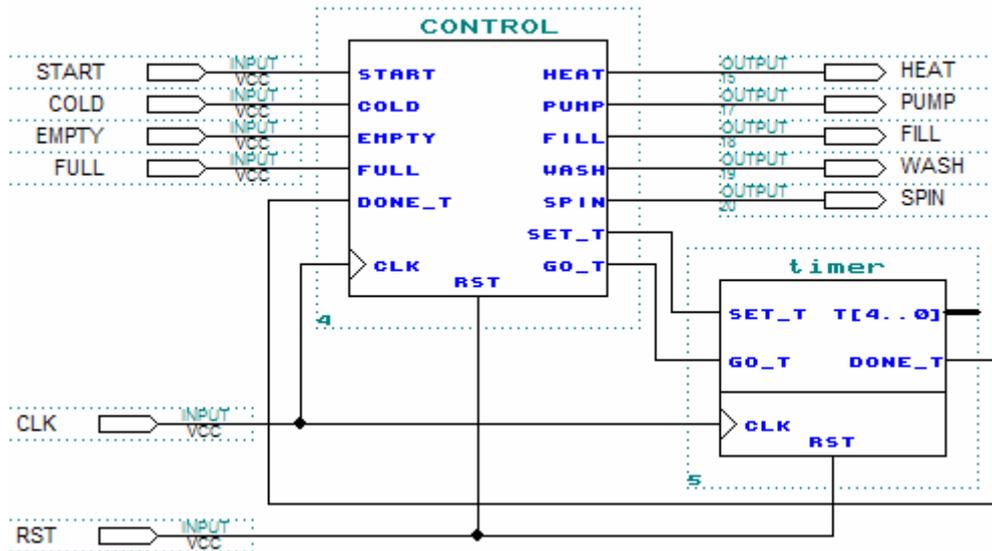


Figura 1. Controlador de una lavadora sencilla.

El bloque Temporizador o Timer, estará constituido por un contador descendente de 16 bits T[15..0] que funcionará de la siguiente manera:

- Al iniciar cualquiera de los 3 ciclos, cargará síncronamente (al recibir un pulso Set\_T desde Control) o asíncronamente (tras RST global) un mismo valor predeterminado por el diseñador.
- De uno en uno, descontará (Go\_T a '1' desde Control) esta cifra, hasta alcanzar el '0', generando una señal pulso Done\_T, que indicará a control el fin del ciclo en cuestión.

El bloque Controlador o Control, es una máquina de estados finitos con las siguientes entradas y salidas:

- Entradas:
  - RST y CLK: Señales asíncronas de control comunes a Timer.
  - START: Un pulso a '0' iniciará el funcionamiento.
  - COLD: Se requiere calentar el agua.
  - EMPTY: Tambor de lavado vacío de agua.
  - FULL: Tambor de lavado lleno de agua.
  - Done\_T: El temporizador alcanzó el fin (el cero).
- Salidas:
  - HEAT: Activa el calefactor de agua.
  - PUMP: Activa la bomba del agua (llenado o vaciado).
  - FILL: A '1' implica llenado, a '0' vaciado, del tambor.

- SPIN: Acciona el motor para centrifugado.
- Set\_T: Pulso de carga del timer.
- Go\_T: Señal de descuento del timer.

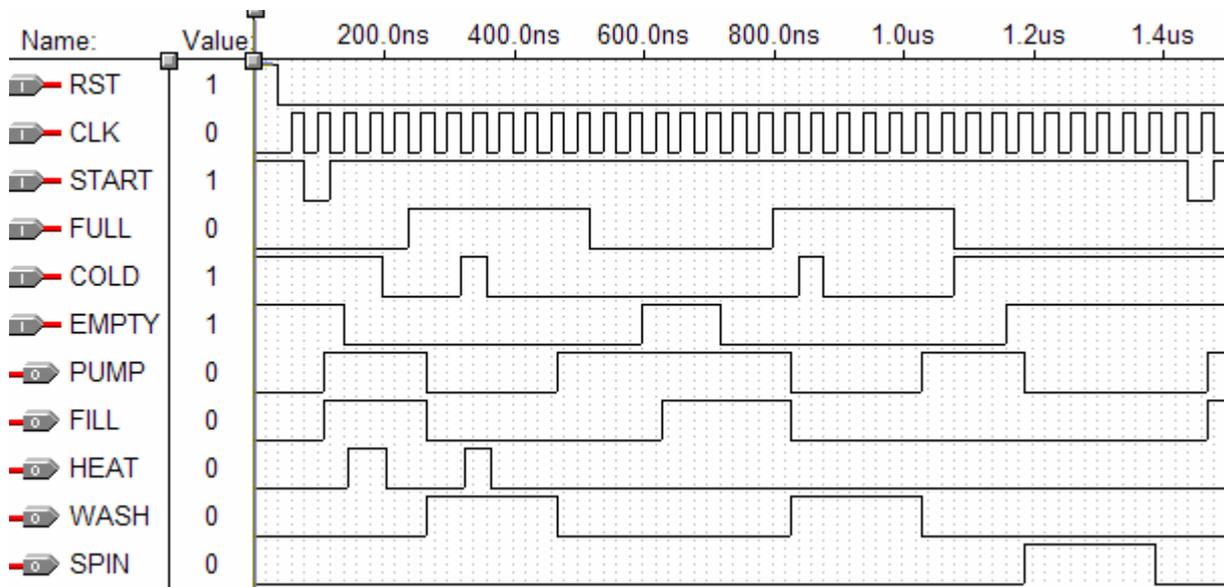


Figura 2. Diagrama temporal de comportamiento de las señales.

## 2. DESCRIPCIÓN DEL FUNCIONAMIENTO

Tras RST, cuando el controlador reciba por la señal START un pulso '0' (START estará normalmente a '1' en todo el funcionamiento, si START sufriera un pulso '0' en otro estado distinto del inicial, se retornará al estado inicial), la máquina se llenará de agua y la calentará hasta alcanzar el nivel y la temperatura adecuados (estado Fill1). La lavadora puede partir de un tambor no vacío de agua, pero si está vacío no debe actuar el calefactor (se quemaría).

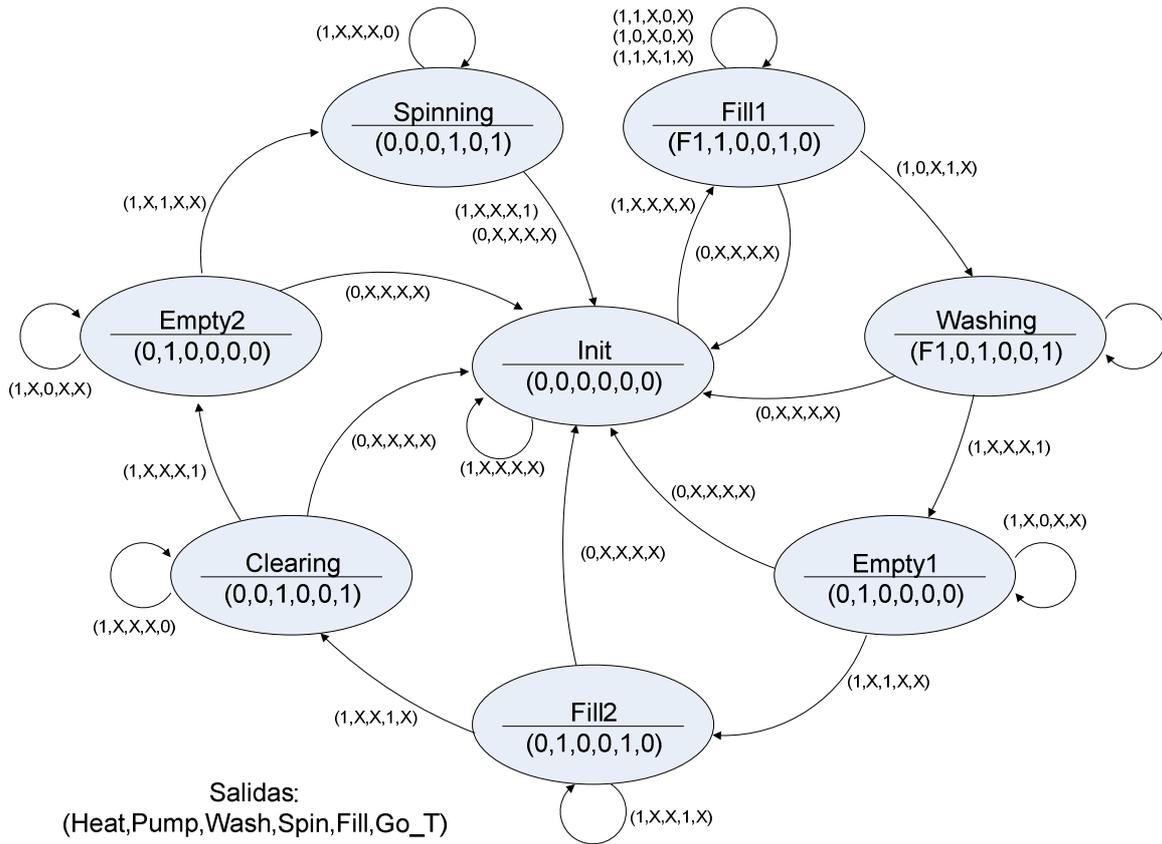
Entonces se iniciará la operación de lavado que seguirá hasta que el temporizador alcance el cero manteniendo la temperatura establecida (estado Washing). Después se vaciará el agua sucia y se rellenará, de nuevo, con agua fría (estados Empty1 y Fill2). Se aclarará en frío siguiendo el mismo accionamiento del motor que en el lavado, hasta que el temporizador alcance, otra vez, el cero (estado Clearing). Por último, tras vaciar de nuevo el tambor (Empty2), se iniciará el centrifugado (Spinning) que finalizará al alcanzar cero el temporizador devolviendo al controlador al estado inicial. El funcionamiento del sistema viene especificado por la máquina de estados de la figura 3.

## 3. ORGANIZACIÓN DE TAREAS

1. Diseño del bloque Timer
  - a. Implementar y compilar desde descripción VHDL
  - b. Verificar el bloque Timer
2. Diseño del bloque Control
  - a. Implementar y compilar desde descripción VHDL
  - b. Verificar el bloque Control
3. Diseño de la jerarquía superior
  - a. Implementar y compilar
  - b. Verificar el bloque TODO

SISTEMAS ELECTRÓNICOS DIGITALES  
4º DE INGENIERÍA SUPERIOR EN AUTOMÁTICA Y ELECTRÓNICA INDUSTRIAL

4. Visualizar
  - a. El contador en los displays
  - b. El estado en que se encuentra la lavadora en los leds
5. Usar
  - a. Un botón para el reset
  - b. Un divisor de frecuencia de la señal de reloj para controlar la velocidad
6. Contestar
  - a. Número de pines usados
  - b. Número de celdas lógicas empleadas



**Figura 3. Máquina de estados del control programable de lavadora.**

#### 4. COMPROBACIONES

La verificación (figura 4) habrá de poner de manifiesto tanto el correcto diseño del Esquema como el comportamiento temporal de las señales de interfase con Control: SET\_T, GO\_T y DONE\_T. Observe que no importa demasiado si SET\_T y GO\_T se activan simultánea o secuencialmente.

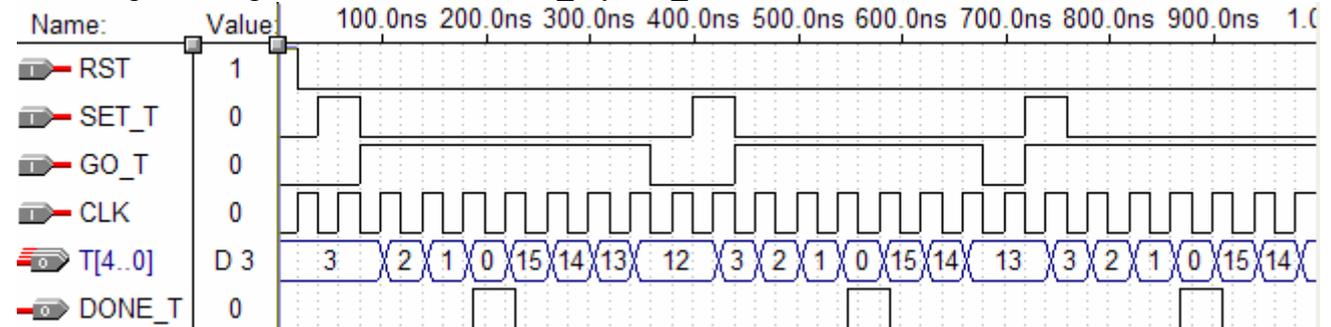


Figura 4. Verificación temporal del funcionamiento del bloque Timer

El proceso siguiente describe la generación del Pulso SET\_T. Observe que SET\_T podría haber sido definida como Salida de los Estados previos a Washing, Clearing y Spinnig, con lo que habríamos estado cargando el temporizador continuamente, antes de efectuar estos estados. Se ha preferido la solución de generar un solo pulso de 1 Ciclo de CLK y describirla en un proceso distinto al anterior, por otro lado innecesario, por claridad. Observe que mientras HEAT, PUMP,..., GO\_T son salidas Moore Directas, SET\_T es una salida Mealy registrada para asegurar su integridad.

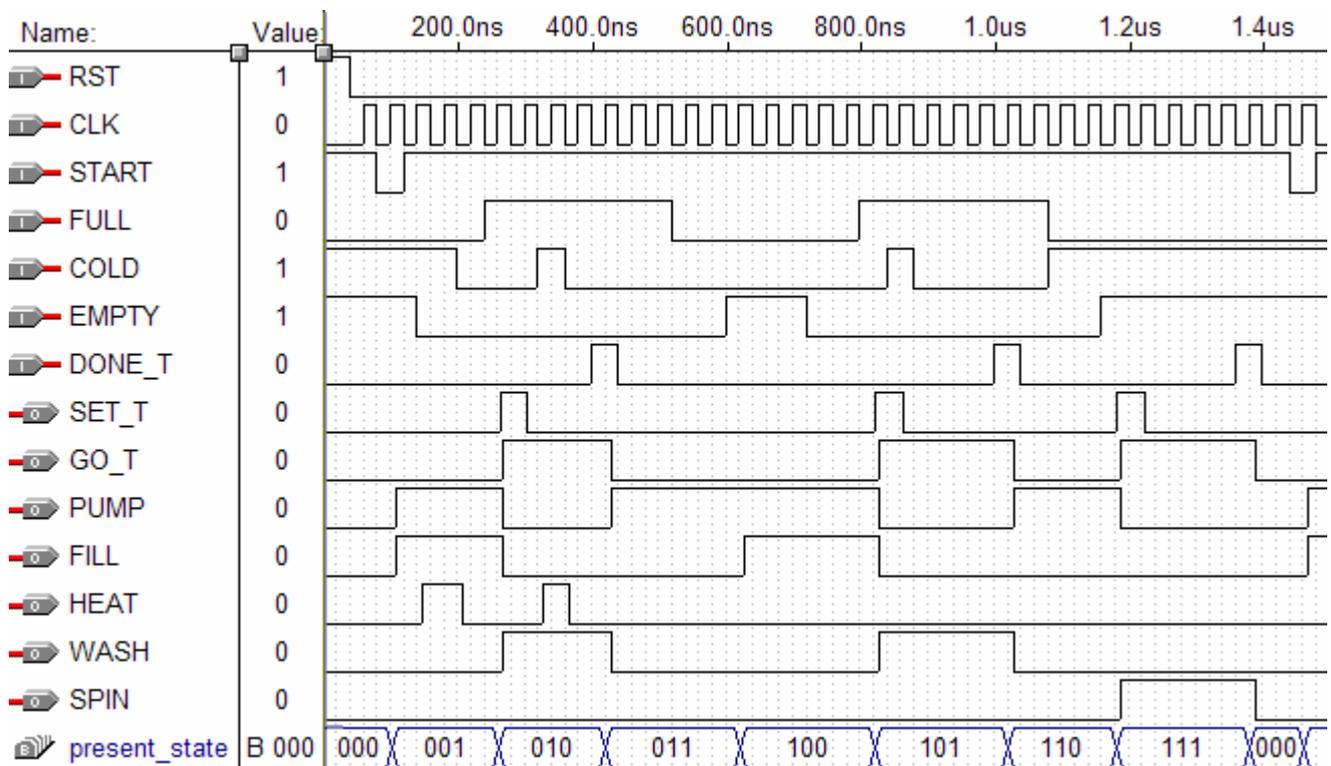


Figura 5. Verificación temporal del funcionamiento del bloque Control