

# Estructura de Computadores

## Tema 4. La unidad de memoria II. La memoria virtual

- Localidad de referencia.
- Definición de memoria cache.
- Estrategias de mapeado: directo, asociativo y asociativo por conjuntos.
- Algoritmos de reemplazamiento: FIFO y LRU.
- El problema de coherencia de la cache.
- La jerarquía de la memoria.
- Definición de memoria virtual.
- Paginación y segmentación.
- Ejemplo de la unidad de gestión segmentada/paginada de los procesadores de Intel.

---

## 1. Ejercicios Resueltos

---

### 1.1.

Considérense dos posibles estrategias de sustitución de páginas: LRU (se reemplaza la página menos recientemente usada) y FIFO (la página que ha estado en memoria durante más tiempo se reemplaza). El mérito de una estrategia de sustitución de páginas se juzga por su razón de éxitos (hit ratio).

Supóngase que, después de haberse reservado espacio para la tabla de páginas, para las rutinas de servicio a las interrupciones, y para el núcleo (kernel) del sistema operativo, sólo queda sitio suficiente en la memoria principal para cuatro páginas de los programas de usuario. Supóngase también que inicialmente se han situado en la memoria física las páginas virtuales 1, 2, 3 y 4 de un programa de usuario, en este orden.

- Para cada una de las dos estrategias, ¿qué páginas estarán en la memoria al final de la siguiente secuencia de accesos a páginas virtuales? Léase la secuencia de izquierda a derecha: (6, 3, 2, 8, 4).
- ¿Qué estrategia de sustitución (de cualquiera de las dos) trabajará mejor cuando la máquina acceda a las páginas en el siguiente orden (de stack): (3, 4, 5, 6, 7, 6, 5, 4, 3, 4, 5, 6, 7, 6, ...)?
- ¿Qué estrategia de sustitución (de cualquiera de las dos) trabajará mejor cuando la máquina acceda a las páginas en el siguiente orden (secuencia repetida): (3, 4, 5, 6, 7, 3, 4, 5, 6, 7, 3, 4, ...)?
- ¿Qué estrategia de sustitución (de cualquiera de las dos) trabajará mejor cuando la máquina acceda a las páginas en orden totalmente aleatorio, tal como: (3, 4, 2, 8, 7, 2, 4, 5, 6, 3, 4, 8, ...)?

### Solución

(a)

LRU	6	3	2	8	4
1					
2					
3					
4					



### 1.2.

Calcular  $\bar{t}$  (tiempo medio de acceso),  $\gamma$  (razón entre los tiempos de acceso a la memoria principal y a la cache), y  $\Lambda$  (la eficiencia) en un sistema que tiene los siguientes parámetros:

$$t_c = 160 \text{ ns}$$

$$t_m = 960 \text{ ns}$$

$$h = 0,9$$

#### **Solución**

$$\begin{aligned}\bar{t} &= ht_c + (1 - h)(t_c + t_m) \\ &= 0,9(160) + (0,1)(960 + 160) \\ &= 144 + 112 \\ &= 256 \text{ ns}\end{aligned}$$

$$r = \frac{t_m}{t_c} = \frac{960}{160} = 6$$

$$\Lambda = \frac{1}{1 + r(1 - h)} = \frac{1}{1 + 6(0,1)} = \frac{1}{1,6} = 0,625$$

Este resultado indica que, empleando una memoria *cache*, la eficiencia puede mejorarse en un 62,5 %.

---

### 1.3.

El algoritmo LRU de sustitución de páginas puede implementarse (y así se ha hecho en el IBM 360/85) con una memoria asociativa como sigue. Se construye una matriz binaria cuadrada y se asigna a cada página la fila y la columna del orden de la página, es decir, a la página  $k$  se le asigna la fila y columna  $k$ -ésima. Cuando la página  $k$  es referenciada se pone en primer lugar a 1 todos los elementos de la fila  $k$ , y a continuación a 0 todos los elementos de la columna  $k$ . Por ejemplo, supuesto que hay cuatro páginas y que en cierto instante su contenido es

	1	2	3	4
1	0	1	1	0
2	0	0	1	0
3	0	0	0	0
4	1	1	1	0

si a continuación se referencia la página 3, entonces su contenido pasará a ser

	1	2	3	4
1	0	1	0	0
2	0	0	0	0
3	1	1	0	1
4	1	1	0	0

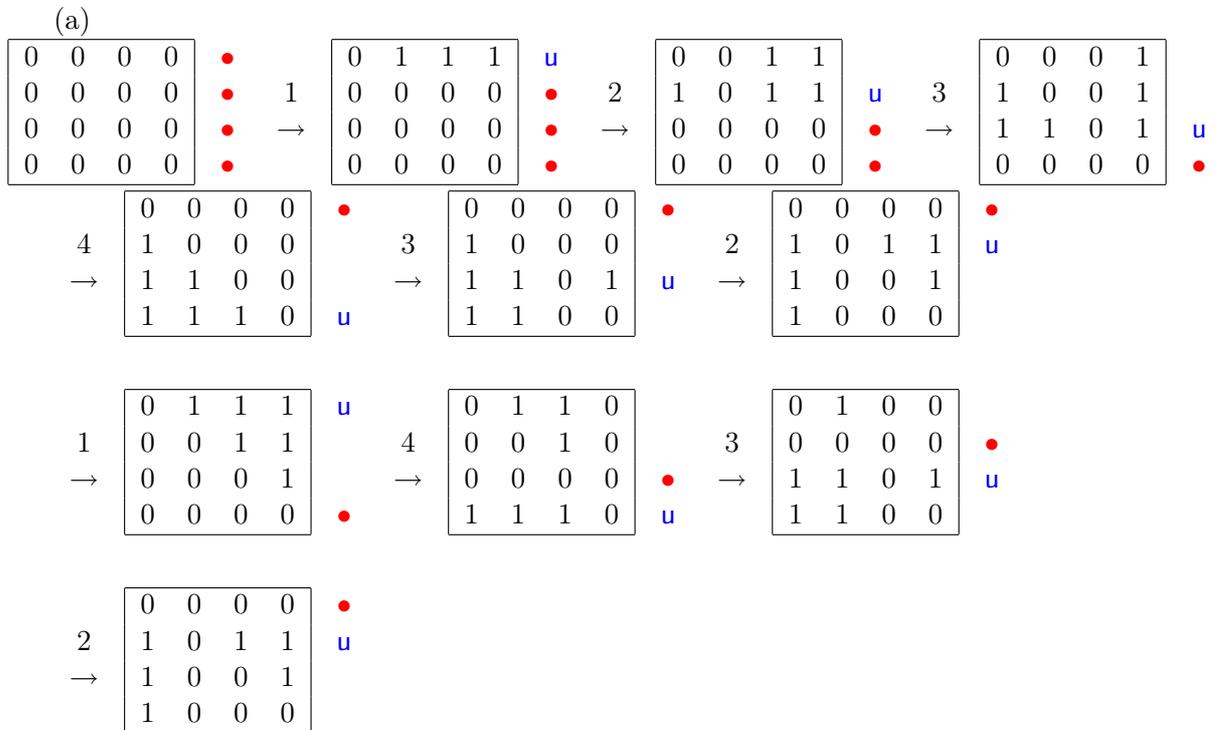
- a) Mostrar la matriz de transición de cuatro páginas para la siguiente secuencia de referencias (traza):

1 2 3 4 3 2 1 4 3 2

suponiendo que la matriz está a cero inicialmente.

b) Según los resultados del apartado anterior y analizando por filas a la matriz, ¿cómo se identifica en cada instante la última página referenciada y a la candidata a ser reemplazada según el algoritmo LRU?

**Solución**



Al finalizar la traza 1 2 3 4 3 2 1 4 3 2 la matriz es:

0	0	0	0
1	0	1	1
1	0	0	1
1	0	0	0

(b)

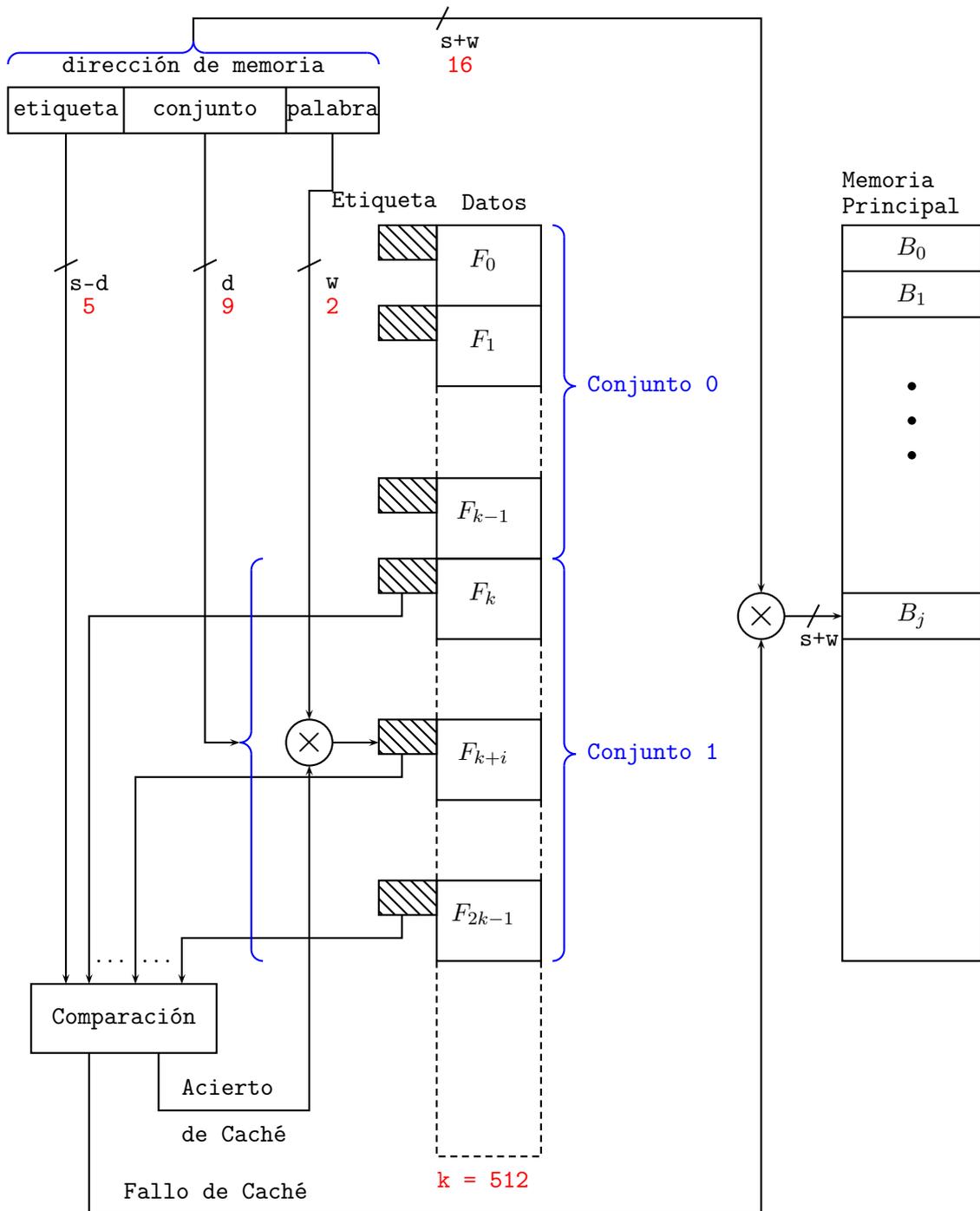
Se observa en la traza del apartado (a) que la última página referenciada (la más reciente) se identifica por ser el mayor valor de todas las filas, considerando a cada fila como un número binario de 4 bits. Se han marcado esas filas con u.

La página a sustituir (la menos recientemente utilizada, LRU) se identifica porque la fila correspondiente está a cero, habiéndose señalado dicha circunstancia con el punto rojo (●).

**1.4.**

Una caché asociativa por conjuntos tiene un tamaño de bloque de 4 palabras de 16 bits y un tamaño de conjunto de 2. La caché puede contener un total de 4096 palabras de 16 bits. El tamaño de memoria principal que se puede transferir a la caché es de 64K×32 bits. Diseñar la estructura de la caché e indicar cómo son interpretadas las direcciones del procesador.

**Solución**



Etiqueta	Conjunto	Palabra
5	9	2
Bloque		14
Bus de Direcciones		
16		

Memoria Principal =  $64K = 2^{16} \implies$  Bus = 16 bits de ancho.  
 Tamaño de bloque = 4 palabras =  $2^2 \implies$  palabra = 2 bits.  
 $\implies$  Bloque =  $16 - 2 = 14$  bits (s).  
 Línea de la caché = 4 palabras  $\times$  16 bits = 64 bits.  
 $\implies$  64 bits  $\times$  2 conjuntos = 128 bits.  
 $\implies$  4096 palabras en toda la caché  $\times$  16 bits por palabra = 65536 bits.

$$\frac{65536}{128} = 512 = 2^9 \implies \text{conjunto} = 9 \text{ bits (d).}$$

$$\text{Etiqueta} = 14 - 9 = 5 \text{ bits (s-d).}$$

### 1.5.

Diseñar un esquema de transformación de direcciones virtuales de acuerdo con las siguientes especificaciones:

- Espacio virtual direccionable = 32K palabras.
- Tamaño de la memoria principal = 8K palabras.
- Tamaño de las páginas = 2K palabras.
- Bus de direcciones de la memoria secundaria = 24 bits.

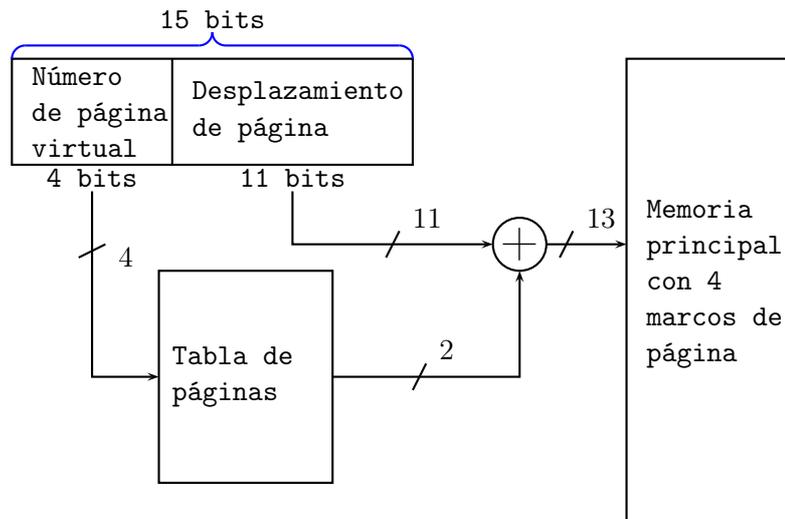
#### Solución

Las páginas son de 2K palabras.

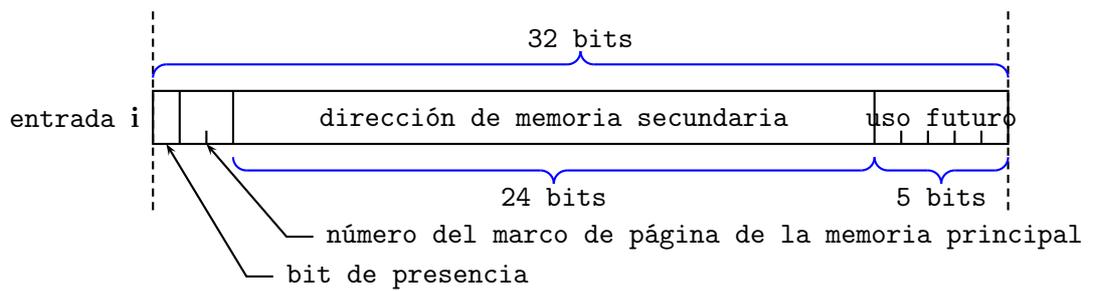
La memoria principal admite  $\frac{8K}{2K} = 4$  páginas.

La memoria virtual tiene  $\frac{32K}{2K} = 16$  páginas.

Como  $32K = 2^{15} \implies$  las direcciones (virtuales) tienen 15 bits, de los que 11 corresponden al desplazamiento dentro de la página (2K palabras) y los 4 restantes al número de la página virtual (16 páginas virtuales).



La tabla de páginas hay que mantenerla en memoria principal ya que hace las traducciones desde las direcciones virtuales a las direcciones físicas. Sus dimensiones son: 16 entradas (o registros), uno por cada página virtual, donde se guarda el número de la página física, lo que se llama el marco de página. Además debe contener la dirección donde está la página en la memoria secundaria, por si la página no está en la memoria principal saber de dónde traerla.



### 1.6.

Se dispone de un computador con una memoria caché con un tamaño de 32 KB para almacenar instrucciones o datos de los procesos. El tamaño de la línea es de 64 bytes. Los procesos pueden direccionar 1 MB de memoria principal y ésta se direcciona por bytes. La caché utiliza una función de correspondencia directa. La memoria caché tiene un tiempo de acceso de 30 ns y la memoria principal de 80 ns. Indicar:

- La estructura de la memoria caché mediante un esquema donde aparezcan sus campos, la longitud en bits de los mismos y el número de entradas.
- El formato de direcciones empleado para acceder a la caché. El dibujo debe especificar el nombre y el número de bits de cada campo.

### Solución

El tamaño de la caché es de 32 KB ( $2^{15}$  bytes) y la línea es de 64 B ( $2^6$  bytes).

El número de líneas de la caché es:  $2^{15} \text{ bytes} / 2^6 \text{ bytes} = 2^9$  líneas.

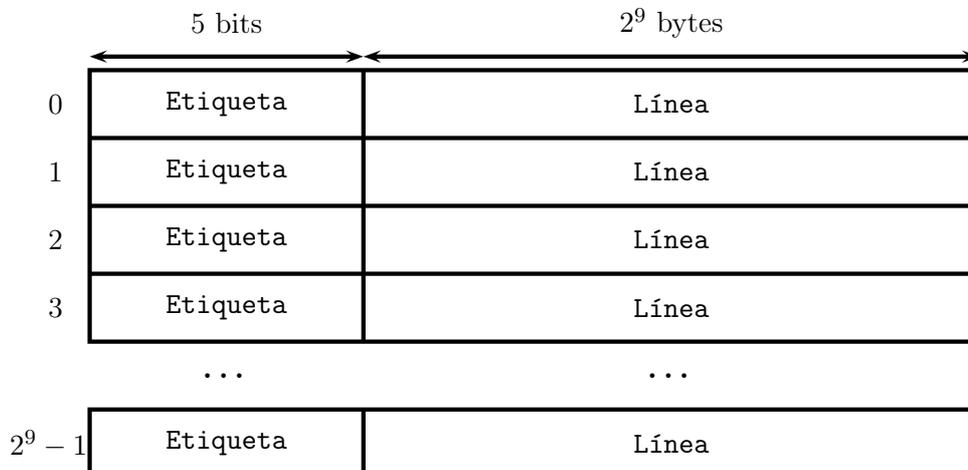
El número de bits de cada línea es:  $64 \text{ B} \times 8 = 2^6 \times 2^3 = 2^9$  bits.

El número de bits para el campo etiqueta viene dado por:

$$\frac{\text{Memoria principal}}{\text{Memoria caché}} = \frac{1 \text{ MB}}{32 \text{ KB}} = \frac{2^{20}}{2^{15}} = 2^5$$

es decir, requiere 5 bits.

- Estructura de la caché: El campo etiqueta tiene 5 bits mientras que la línea tiene  $2^9$ . Existen  $2^9$  líneas de caché. En la siguiente figura se muestra esta organización.



2. Tamaño de cada campo:

- Bits para el campo de desplazamiento. La línea es de  $2^6$  bytes, por ello se necesitan 6 bits para el desplazamiento.
- Bits para el campo línea. El número de líneas de la caché es  $2^9$ , se necesitan 9 bits.
- Bits para el campo etiqueta: 5 bits.

La figura siguiente muestra cómo está dividida en campos una dirección de memoria.

