

# PRÁCTICA DE SIMULACIÓN

## EL SUMADOR – RESTADOR EN COMPLEMENTO A DOS

### 1.- Introducción

Mediante el complemento a dos se simplifica la circuitería necesaria para realizar las operaciones suma y resta de números binarios con signo. El empleo de esta técnica permite realizar estas operaciones empleando un sencillo sumador binario junto con una lógica adicional.

La figura 1 presenta el esquema de un circuito aritmético para números en complemento a 2 de 4 bits, mostrando los componentes principales y sus conexiones.

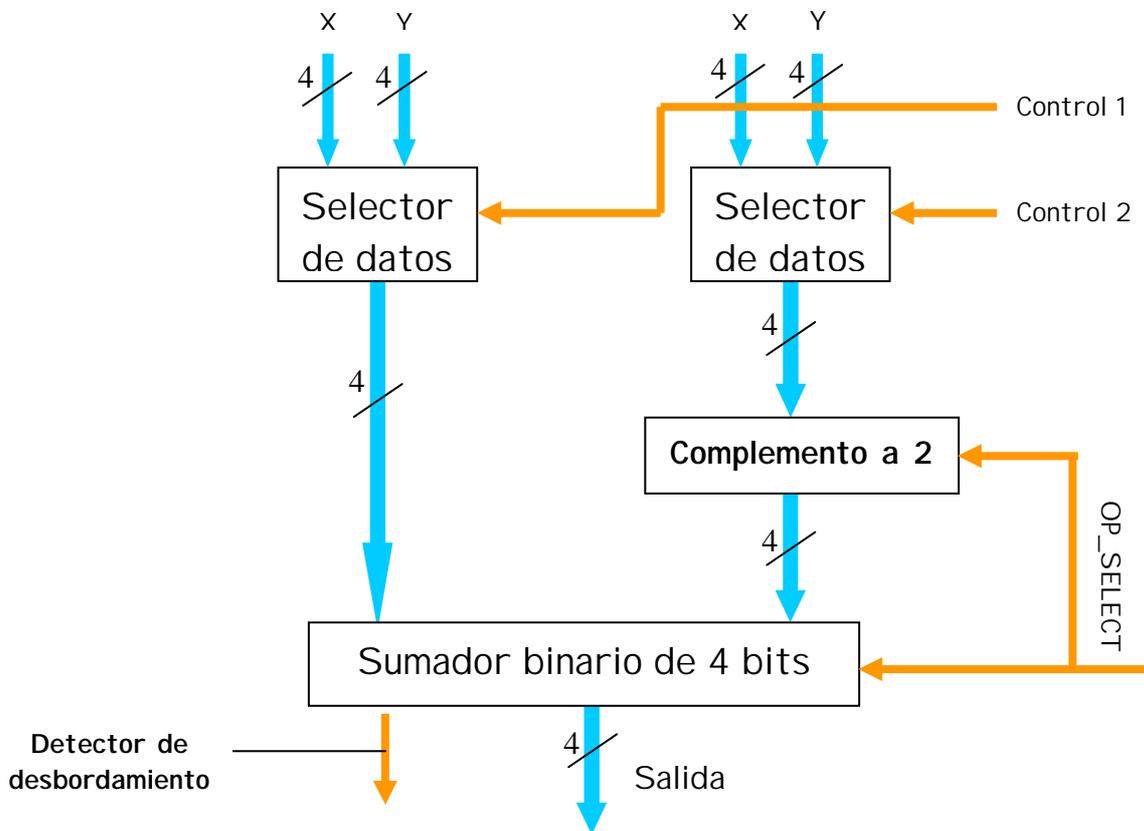


Figura 1. Diagrama de bloques de un circuito para sumar o restar números en complemento a dos.

El sumador en el centro de la unidad está diseñado para números binarios sin signo. Si se activa un complementador (un circuito lógico bastante sencillo) en una de sus entradas de datos, el mismo sumador puede realizar restas, aprovechando el hecho de que la operación  $X-Y$  es la suma de  $X$  y el complemento a dos de  $Y$ . El complementador se controla con una señal externa  $OP\_SELECT$ , que selecciona la operación, suma o resta, que efectúa la unidad aritmética. Dos componentes controlados externamente, llamados selectores de datos (o multiplexores), determinan cuáles serán los operandos que se aplicarán a la entrada derecha y la entrada izquierda del sumador.

Con esta disposición, podemos aplicar X o Y a la entrada de la izquierda del sumador, y X, Y, -X o -Y a la entrada de la derecha del sumador, lo que permitiría calcular las siguientes operaciones aritméticas:

$$\begin{aligned} & X+Y \\ & X-Y \\ & Y-X \\ & 2X \text{ (ó } X+X) \\ & 2Y \text{ (ó } Y+Y) \end{aligned}$$

Las otras 3 operaciones que podría realizarse con el resto de las combinaciones de las 3 señales de control son obvias o redundantes y no se tomarán en cuenta (estas son:  $Y+X = X+Y$ ,  $X-X=0$ ,  $Y-Y=0$ ).

Este sumador-restador es mucho más sencillo que un sumador-restador similar para números codificados mediante magnitud-signo, ya que se necesitarían sumadores y restadores separados, además de circuitos para comparar la magnitud de los operandos de entrada.

El objetivo de la presente práctica es diseñar, simular e implementar un circuito capaz de realizar las operaciones anteriormente expresadas, donde X e Y son números en complemento a 2.

## 2.- Pasos a seguir

- a. En primer lugar diseñar el sumador de números de 4 bits sin signo. Se recomienda el diseño modular, es decir, diseñar un sumador completo de 1 bit y conectarlos adecuadamente para crear un sumador de 4 bits.
- b. Comprobar mediante simulación el correcto funcionamiento del sumador.
- c. Diseñar el módulo complementador. Conectar adecuadamente este módulo con el sumador anteriormente creado para crear el núcleo del sumador-restador. Simular este conjunto.
- d. Diseñar el módulo multiplexor. Simularlo.
- e. Añadir dos módulos multiplexores atacando las entradas al conjunto. De esta manera se agrupan todos los bloques y se realiza la simulación del sistema digital global.

## 3.- Memoria a entregar

La memoria debe recoger:

- a) Los esquemas de cada uno de los bloques por separados
- b) El esquema global del sistema final
- c) Las simulaciones de cada bloque por separado
- d) Las simulaciones del sistema realizadas para las operaciones indicadas.